

## BEST AVAILABLE COPY

---

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

---

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020054677 A  
(43)Date of publication of application: 08.07.2002

(21)Application number: 1020000083842  
(22)Date of filing: 28.12.2000

(71)Applicant: HYNIX SEMICONDUCTOR INC.  
(72)Inventor: HWANG, CHANG YEON  
KIM, JEONG HO

(51)Int. Cl. H01L 21/3105

---

## (54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:



PURPOSE: A fabrication method of semiconductor devices is provided to prevent an etching of a BPSG (Boron Phosphor Silicate Glass) of a cell region by increasing a density of an HDP(High Density Plasma) oxide.

CONSTITUTION: After forming an HDP oxide(43) on a BPSG(39) of a semiconductor substrate(31) having an isolation layer(33), a number of word lines(35), and a plug layer(41), the density of the HDP oxide(43) is increased by performing a thermal treatment on the entire surface of the resultant structure using an RTP(Rapid Thermal Process), a tube method, an RT-CVD(Rapid Thermal-Chemical Vapor Deposition), or an UHV-CVD(Ultra High Vacuum-Chemical Vapor Deposition) at H<sub>2</sub>, N<sub>2</sub>, O<sub>2</sub>, H<sub>2</sub>O, or a vacuum atmosphere. Then, the HDP oxide(43) and the BPSG(39) of a peripheral region are removed by selectively etching using the third photoresist pattern(45) as a mask. At this time, the adhesive force between the third photoresist pattern(45) and the HDP oxide(43) is increased, thereby preventing a penetration of an etchant into the BPSG layer(39) of the cell region.

&copy; KIPO 2003

## Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

특 2002-0054677

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H01L 21/3105

(11) 공개번호 특2002-0054677  
(43) 공개일자 2002년07월08일

(21) 출원번호 10-2000-0083842  
(22) 출원일자 2000년12월28일  
(71) 출원인 주식회사 하이닉스반도체 박종섭  
경기 이천시 부발읍 아미리 산136-1  
(72) 발명자 황형연  
경기도이천시사읍동564-7  
김정호  
경기도이천시대월면사동리465현대아파트604-1102  
(74) 대리인 이훈동 이정훈

심사청구 : 있음

(54) 반도체 소자의 제조 방법

요약

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 BPSG(Boron Phosphor Silicate Glass)층상에 HDP(High Density Plasma) 산화막을 형성한 후 상기 HDP 산화막의 밀도를 증가시키는 공정을 첨가하므로, 주변 영역의 BPSG층 제거 공정시 발생하는 셀(Cell) 영역의 BPSG층 식각 현상을 방지하여 보이드(Void) 발생을 억제하므로 비트 라인(Bit Line)간 단락 발생을 방지하는 등 소자의 수율 및 신뢰성을 향상시키는 특징이 있다.

도면

도 3

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 기술에 따른 반도체 소자의 제조 방법을 나타낸 공정 단면도

도 2는 종래의 셀 영역에 보이드가 발생하는 것을 나타낸 사진도

도 3a 내지 도 3d는 본 발명의 실시 예에 따른 반도체 소자의 제조 방법을 나타낸 공정 단면도

도 4는 본 발명의 주변 영역의 BPSG층 식각 공정시 셀 영역을 나타낸 사진도

도 5는 본 발명의 셀 영역을 나타낸 사진도

< 도면의 주요 부분에 대한 부호의 설명 >

11, 31 : 반도체 기판  
13, 33 : 소자분리막  
15, 35 : 워드 라인  
17, 37 : 제 1 절화막  
18, 38 : 제 2 절화막  
19, 39 : BPSG층  
21, 41 : 플러그층  
43 : HDP 산화막  
23, 45 : 제 3 절화막  
25 : 보이드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 BPSG(Boron Phosphor Silicate Glass)층상에 HDP(High Density Plasma) 산화막을 형성한 후 상기 HDP 산화막의 밀도를 증가시키는 공정을 첨가하여 소자의 수율 및 신뢰성을 향상시키는 반도체 소자의 제조 방법에 관한 것이다.

반도체 소자는 매년 집적도의 증가 추세를 보이고 있으며, 이러한 집적도의 증가는 소자 각각의 구성 요

소 면적 및 크기의 감소를 수반하게 되어 여러 가지 공정상의 제약이 있다.

도 1a 내지 도 1c는 종래 기술에 따른 반도체 소자의 제조 방법을 나타낸 공정 단면도이고, 도 2는 종래의 셀 영역에 보이드가 발생되는 것을 나타낸 사진도이다.

종래의 반도체 소자의 제조 방법은 도 1a에서와 같이, 소자분리 영역에 소자분리막(13)이 형성되며, 셀(Cell) 영역과 주변 영역이 정의된 반도체 기판(11)상에 제 1 산화막, 제 1 다결정 실리콘층, 하드 마스크(Hard mask)층인 제 1 절화막(17) 및 제 1 감광막(도시하지 않음)을 순차적으로 형성한다.

그 후, 상기 제 1 감광막을 워드 라인(Word line)이 형성될 부위에만 남도록 선택적으로 노광 및 현상한 후, 상기 선택적으로 노광 및 현상된 제 1 감광막을 마스크로 상기 제 1 절화막(17), 제 1 다결정 실리콘층 및 제 1 산화막을 선택 식각하여 상기 반도체 기판(11)상에 게이트 절연막을 개재한 워드 라인(15)을 형성한 후, 상기 제 1 감광막을 제거한다.

그리고, 전면에 식각 방지막인 제 2 절화막(18)을 형성한 후, 상기 절화막(17)상에 중간 절연막인 BPSG층(19)과 제 2 감광막(도시하지 않음)을 순차적으로 형성한다.

이후, 상기 제 2 감광막을 비트 라인(Bit line) 콘택이 형성될 부위에만 제거되도록 선택적으로 노광 및 현상한 다음, 상기 선택적으로 노광 및 현상된 제 2 감광막을 마스크로 상기 BPSG층(19)을 선택 식각한 후, 상기 제 2 감광막을 제거한다.

그리고, 상기 BPSG층(19)을 마스크로 상기 제 2 절화막(18)을 에치백(Etch-back)하여 제 1 콘택홀을 형성하고 상기 노출된 워드 라인(15) 일측의 반도체 기판(11) 상에 제 2 절화막 스페이서(18a)를 형성한다.

그 후, 상기 제 1 콘택홀을 포함한 전면에 제 2 다결정 실리콘층을 형성한 후, 상기 BPSG층(19)을 식각 중립점으로 화학 기계 연마 방법에 의해 상기 제 2 다결정 실리콘층을 평탄 식각하여 플러그층(21)을 형성한다.

도 1b에서와 같이, 상기 BPSG층(19)상에 제 3 감광막(23)을 도포한다.

그리고, 상기 제 3 감광막(23)을 셀 영역에만 남도록 선택적으로 노광 및 현상한다.

도 1c에서와 같이, 상기 선택적으로 노광 및 현상된 제 3 감광막(23)을 마스크로 상기 주변 영역의 BPSG층(19)을 습식 식각하여 제거한다.

여기서, 상기 BPSG층(19)과 제 3 감광막(23)과의 접촉 불량 발생으로 주변 영역의 BPSG층 제거 공정시, 상기 제 3 감광막(23)을 따라 식각 용액이 셀 영역의 BPSG층(19)에도 침투하므로 상기 BPSG층(19)의 측면 식각이 발생되어 도 2에서와 같이, 보이드(Void)(25)가 발생된다.

그리고, 후속 공정으로 상기 제 3 감광막(23)을 제거한다.

#### 본 발명이 이루고자 하는 기술적 과제

종래의 반도체 소자의 제조 방법은 다음과 같은 이유에 의해 소자의 수율 및 신뢰성이 저하되는 문제점이 있었다.

첫째, BPSG층과 감광막과의 접촉 불량 발생으로 주변 영역의 BPSG층 제거 공정시, 상기 감광막을 따라 상기 BPSG층의 측면 식각이 발생되어 식각 용액이 셀 영역의 BPSG층에도 침투하므로 보이드가 발생되어 후속 공정 중 화학 기계 연마 공정에서 슬러리(Slurry)가 상기 보이드에 끼어 파티클(Particle)이 다량 발생되고 또한 비트 라인 형성 공정에서 상기 보이드를 따라 상기 비트 라인 형성 물질이 남게 되어 상기 비트 라인간 단락이 발생된다.

둘째, 첫째 문제를 해결하기 위해 상기 BPSG층상에 HDP 산화막을 형성하나 상기 BPSG층의 측면 식각을 방지하지 못한다.

셋째, 첫째 문제를 해결하기 위해 상기 BPSG층상에 절화막을 형성하나 상기 절화막 제거 공정이 어렵다.

본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로 BPSG층상에 HDP 산화막을 형성한 후, 상기 HDP 산화막의 밀도를 증가시키는 공정을 첨가하여 주변 영역의 BPSG층 제거 공정시 발생하는 셀 영역의 BPSG층 식각 현상을 방지하는 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

#### 본 발명의 구성 및 작용

본 발명의 반도체 소자의 제조 방법은 반도체 기판 상의 셀 영역 및 주변 영역에 워드 라인을 형성하는 단계, 전면에 식각 방지막을 형성하는 단계, 상기 식각 방지막상에 비트 라인 콘택홀을 구비한 중간 절연막을 형성하는 단계, 상기 콘택홀을 패링하는 플러그층을 형성하는 단계, 전면에 절연막을 형성하는 단계, 전면에 에치리 공정을 진행하여 상기 절연막의 밀도를 증가시키는 단계, 및 상기 주변 영역의 절연막과 중간 절연막을 습식 식각하여 제거하는 단계를 포함하여 이루어짐을 특징으로 한다.

상기와 같은 본 발명에 따른 반도체 소자의 제조 방법의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

본 발명의 실시 예에 따른 반도체 소자의 제조 방법은 도 3a에서와 같이, 소자분리 영역에 소자분리막(33)이 형성되며, 셀 영역과 주변 영역이 정의된 반도체 기판(31)상에 제 1 산화막, 제 1 다결정 실리콘층, 하드 마스크층인 제 1 절화막(37) 및 제 1 감광막(도시하지 않음)을 순차적으로 형성한다.

그 후, 상기 제 1 감광막을 워드 라인이 형성될 부위에만 남도록 선택적으로 노광 및 현상한 후, 상기 선택적으로 노광 및 현상된 제 1 감광막을 마스크로 상기 제 1 절화막(37), 제 1 다결정 실리콘층 및 제 1 산화막을 선택 식각하여 상기 반도체 기판(31)상에 게이트 절연막을 개재한 워드 라인(35)을 형성한 후,

상기 제 1 감광막을 제거한다.

그리고, 전면에 식각 방지막인 제 2 질화막(38)을 형성한 후, 상기 질화막(37)상에 중간 절연막인 BPS6층(39)과 제 2 감광막(도시하지 않음)을 순차적으로 형성한다.

이후, 상기 제 2 감광막을 비트 라인 콘택이 형성될 부위에만 제거되도록 선택적으로 노광 및 현상한다. 상기 선택적으로 노광 및 현상된 제 2 감광막을 마스크로 상기 BPS6층(39)을 선택 식각한 후, 상기 제 2 감광막을 제거한다.

그리고, 상기 BPS6층(39)을 마스크로 상기 제 2 질화막(38)을 에치백하여 제 1 콘택홀을 형성하고, 상기 노출된 워드 라인(35) 일측의 반도체 기판(31) 상에 제 2 질화막 스페이서(38a)를 형성한다.

그 후, 상기 제 1 콘택홀을 포함한 전면에 제 2 다결정 실리콘층을 형성한 후, 상기 BPS6층(39)을 식각 중립점으로 화학 기계 연마 방법에 의해 상기 제 2 다결정 실리콘층을 평탄 식각하여 플러그층(41)을 형성한다.

도 3b에서와 같이, 상기 BPS6층(39)상에 HDP 산화막(43)을 형성하고, 전면에 열처리 공정을 진행하여 상기 HDP 산화막(43)의 밀도를 증가시킨다.

여기서, 상기 HDP 산화막(43) 대신에 PE-CVD(Plasma-Enhance-Chemical Vapour Deposition) TEOS(Tetra Ethyl Ortho-Silicate) 산화막, PE-CVD  $\text{SiH}_4$ -USG(Undoped Silicate Glass) 산화막 또는 LP(Low Pressure)-CVD 산화막으로 형성할 수 있다.

그리고, 상기 HDP 산화막(43)의 밀도를 증가시키기 위한 열처리 공정은  $\text{H}_2$ ,  $\text{N}_2$ ,  $\text{O}_2$ ,  $\text{H}_2\text{O}$ ,  $\text{SiH}_4$  또는 진공 분위기 하에서 RTP(Rapid Thermal Process) 방식, 튜브(Tube) 방식, RT-CVD(Rapid Thermal-Chemical Vapour Deposition) 방식 또는 UHV-CVD(Ultr High Vacuum-Chemical Vapour Deposition) 방식으로 진행한다.

도 3c에서와 같이, 상기 HDP 산화막(43)상에 제 3 감광막(45)을 도포한다.

그리고, 상기 제 3 감광막(45)을 셀 영역에만 남도록 선택적으로 노광 및 현상한다.

도 3d에서와 같이, 상기 선택적으로 노광 및 현상된 제 3 감광막(45)을 마스크로 상기 주변 영역의 HDP 산화막(43)을 식각 하고, 상기 BPS6층(39)을  $\text{HF}:\text{NH}_4\text{F}:\text{DI}$  혼합 용액,  $\text{HF}:\text{DI}$  혼합 용액,  $\text{HF}:\text{NH}_4\text{F}:\text{DI}$  계면활성제의 혼합 용액 또는  $\text{HNO}_3:\text{CH}_3\text{COOH}:\text{HF}$  혼합 용액을 사용한 습식 식각 공정으로 식각한다.

그리고, 후속 공정으로 상기 제 3 감광막(45)을 제거한다.

여기서, 상기 BPS6층(39)의 습식 식각 공정시, 상기 HDP 산화막(43)의 밀도를 증가시키므로 상기 HDP 산화막(43)과 상기 제 3 감광막(45)과의 접착력이 증가되어 상기 제 3 감광막(45)을 따라 식각 용액이 셀 영역의 BPS6층(39)에 침투되는 것을 방지하므로 도 4와 도 5에서와 같이, 셀 영역에 보이드가 발생되지 않는다.

#### 본 발명의 효과

본 발명의 반도체 소자의 제조 방법은 BPS6층상에 HDP 산화막을 형성한 후 상기 HDP 산화막의 밀도를 증가시키는 공정을 첨가하므로, 주변 영역의 BPS6층 제거 공정시 발생하는 셀 영역의 BPS6층 식각 현상을 방지하여 보이드 발생을 억제하므로 비트 라인간 단락 발생을 방지하는 등 소자의 수율 및 신뢰성을 향상시키는 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1

반도체 기판 상의 셀 영역 및 주변 영역에 워드 라인을 형성하는 단계;

전면에 식각 방지막을 형성하는 단계;

상기 식각 방지막상에 비트 라인 콘택홀을 구비한 중간 절연막을 형성하는 단계;

상기 콘택홀을 패딩하는 플러그층을 형성하는 단계;

전면에 절연막을 형성하는 단계;

전면에 열처리 공정을 진행하여 상기 절연막의 밀도를 증가시키는 단계;

상기 주변 영역의 절연막과 중간 절연막을 습식 식각하여 제거하는 단계를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 제조 방법.

##### 청구항 2

제 1 항에 있어서,

상기 절연막을 HDP 산화막, PE-CVD, TEOS 산화막, PE-CVD  $\text{SiH}_4$ -USG 산화막 또는 LP-CVD 산화막으로 형성함을 특징으로 하는 반도체 소자의 제조 방법.

##### 청구항 3

제 1 항에 있어서,

상기 절연막의 밀도를 증가시키기 위한 열처리 공정은  $H_2$ ,  $N_2$ ,  $O_2$ ,  $H_2O$ ,  $SiH_4$  또는 진공 분위기 하에서 RTP 방식, 튜브 방식, RT-CVD 방식 또는 UHV-CVD 방식으로 진행함을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 중간 절연막을 BPSG층으로 형성함을 특징으로 하는 반도체 소자의 제조 방법.

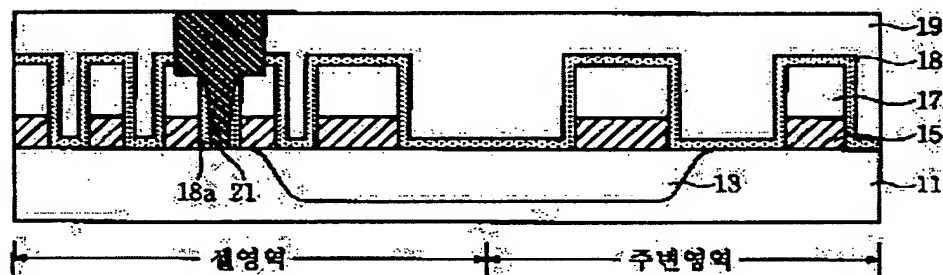
청구항 5

제 4 항에 있어서,

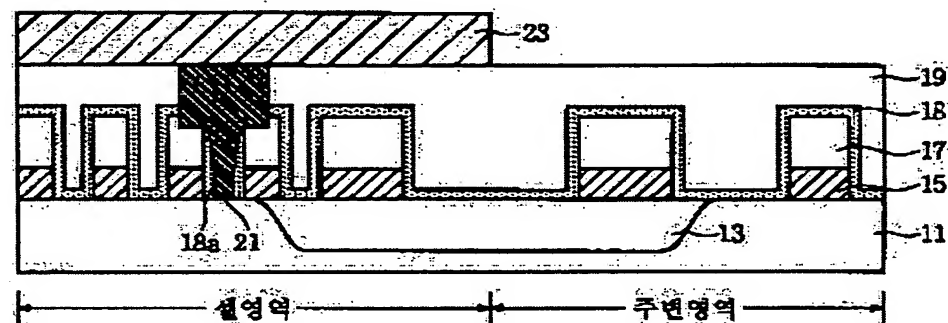
상기 BPSG층을  $HF:NH_4F:DI$  혼합 용액,  $HF:DI$  혼합 용액,  $HF:NH_4F:DI$  계면활성제의 혼합 용액 또는  $HNO_3:CH_3COOH:HF$  혼합 용액을 사용한 습식 식각 공정으로 식각함을 특징으로 하는 반도체 소자의 제조 방법.

도면

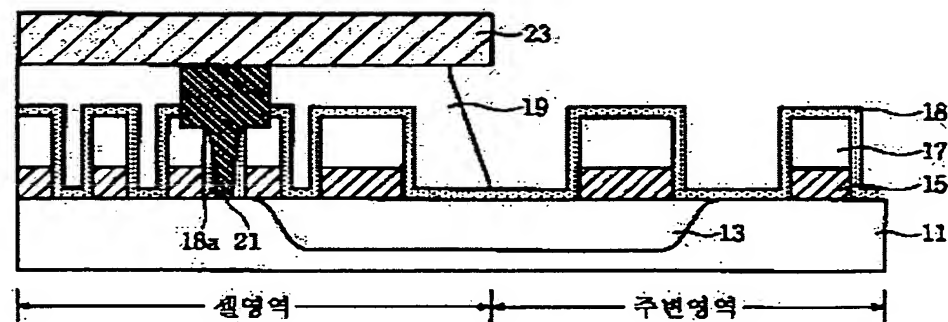
도면 1a



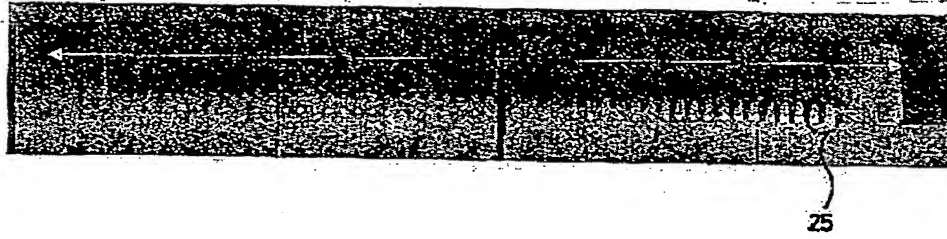
도면 1b



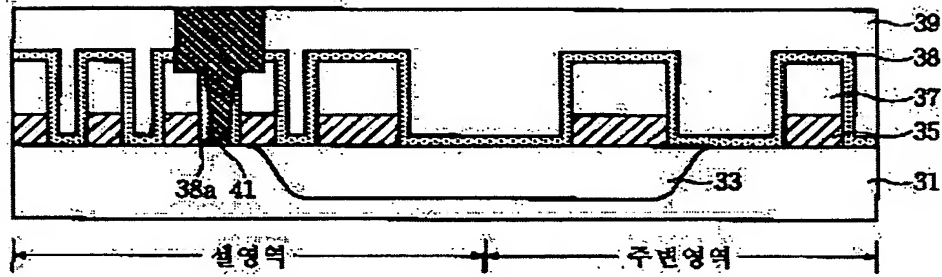
도면 1c



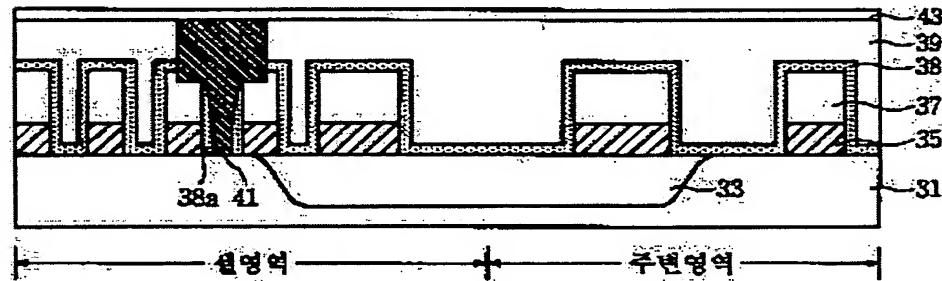
도 2



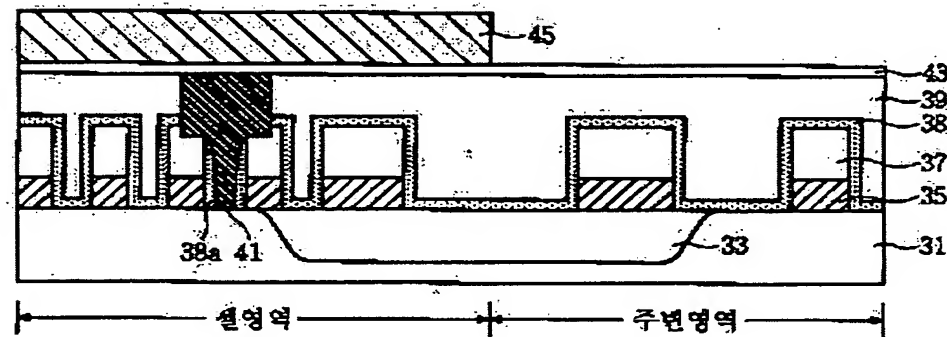
도 3a



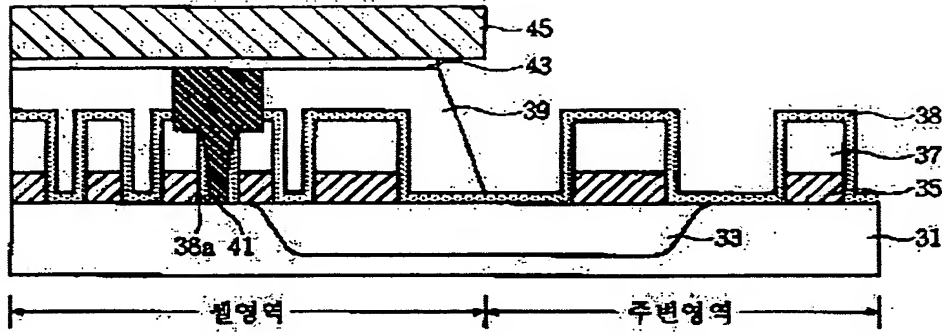
도 3b



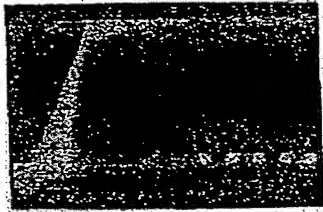
도 3c



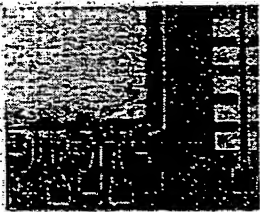
도 3d



도 4



도 5



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**